

Kombajn sygnałowy DDS

Prezentowany układ jest rozwinięciem wcześniejszego projektu Autora pt. Generator sygnałowy DDS, opublikowanego w EdW 7, 8/2008.

DDS to całkowicie cyfrowa metoda bezpośredniej syntezy przebiegów analogowych o częstotliwości od DC do kilkuset megaherców. Metoda ta zapewnia bardzo wysoką stabilność generowanej częstotliwości (taką jak stabilność generatora wzorcowego) oraz przestrajanie z dokładnością do ułamków Hz. Scalone układy syntezy DDS są w pełni programowalne, zatem częstotliwość, amplituda oraz faza generowanego sygnału mogą być dowolnie zmieniane poprzez układy sterujące np. mikroprocesor.

Układy DDS integrujące w swojej strukturze wszystkie bloki niezbędne do generacji sygnałów stały się alternatywą dla analogowych syntezerów opartych o pętle synchronizacji fazowej, zapewniając bardzo szybkie przestrajanie w bardzo szerokim zakresie częstotliwości, w pełni cyfrową regulację amplitudy, fazy oraz częstotliwości generowanego sygnału. Układy te nie wymagają kalibracji, strojenia oraz są znacznie mniej wrażliwe na zmiany temperatury niż standardowe analogowe rozwiązania. Wszystkie syntezy DDS umieszczone są w miniaturowych obudowach SMD zajmując tym samym mało miejsca na płytkach drukowanych. Układy te mogą także pełnić funkcję źródeł sygnałów zegarowych. Wiele syntezerów DDS posiada wbudowany wewnętrzny szybki komparator, który może służyć do generacji sygnału prostokątnego z sygnału sinusoidalnego.

Obecnie największym producentem układów DDS jest firma Analog-Devices posiadająca w swojej ofercie kilkanaście typów syntez DDS (www.analog.com).

Koncepcję praktycznej realizacji modulatora oraz generatora przedstawia rysunek 1.

Konstrukcja moduła zapewniła łatwiejsze uruchamianie modelu. Dodatkowo błędy bądź uszkodzenie danego bloku funkcjonalnego

nie pociąga za sobą konieczności wymiany całej elektroniki, a tylko określonego fragmentu. Dwa główne bloki urządzenia to układ syntezy DDS, oparty na układzie AD9854 oraz układ sterowania wykorzystujący procesor ARM AT91SAM7S64.

Układ AD9854 jest układem bezpośredniej syntezy cyfrowej DDS zawierającym wszystkie niezbędne bloki do generacji sygnału aproksymującego sinusoidę. Maksymalna częstotliwość taktowania układu wynosi 300MHz dla wersji w obudowie TQFP thermal slug. Obudowa ta wyposażona jest we wkładkę radiatorową, którą należy przylutować do pola masy na płytce drukowanej. Druga wersja tego samego układu nie zawiera wkładki radiatorowej, co ogranicza moc strat układu oraz częstotliwość taktowania do 200MHz. Układ AD9854 ma dwa zintegrowane przetworniki DAC o rozdzielczości 12 bitów każdy (kanał I oraz Q w przypadku wykorzystania układu jako generatora kwadraturowego). Kanał Q może zostać odłączony od rdzenia DDS a wartość prądu wyjściowego tego kanału będzie zależna od zawartości rejestru o adresie 0x0B. Umożliwia to generację innych sygnałów poprzez sekwencyjne wpiśnięcie do tego rejestru wartości próbek sygnału. W modelu zostało to wykorzystane do generowania sygnałów arbitralnych, których przebieg jest opisany funkcją matematyczną. Układ wymaga zasilania napięciem 3,3V o wydajności prądowej minimum 800mA.

Programowanie może odbywać się w trybie równoległym oraz szeregowym. Tryb równoległy umożliwia transfer danych do syntezy z szybkością do 100MHz, tryb szeregowy maksymalnie 10MHz. Wybór trybu pracy następuje poprzez pin 70 (S/P SELECT). Połączenie tego pinu z napięciem VDD włącza tryb równoległy, połączenie z masą – tryb szere-

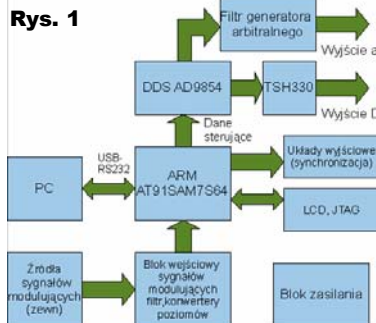
gowy. Inne szczegóły dotyczące tego układu można znaleźć w Internecie.

Mikroprocesor wykorzystany do sterowania układem to AT91SAM7S64. Jest to procesor z rdzeniem ARM 7-TDMI. Wybór tego układu był podyktowany chęcią uzyskania możliwie dużej szybkości pracy (56MHz) oraz liczby pamięci programu (64kB). Także znacznie większa, w stosunku do procesorów AVR, szybkość przetworników ADC układu pozwoliła na sprzętową realizację modulacji analogowych o paśmie częstotliwości sięgającym kilku kHz. Początkowo układ wyposażony był w mikroprocesor AVR ATmega8. Niestety, szybkość działania przetworników ADC nie była wystarczająca do uzyskania sensownego pasma przenoszenia toru analogowego.

Procesor wymaga połączenia minimalnej liczby komponentów związanych z jego działaniem, głównie kondensatorów filtrujących zasilanie. Dodatkowymi elementami są rezonator kwarcowy oraz kondensatory bocznikujące rezonator. Rezonator ustala częstotliwość wewnętrznego oscylatora, która następnie może zostać powielona w wewnętrznym układzie PLL. Do pinu 39 (NRST) można dołączyć scalony układ resetu (supervisor). Pin 55 umożliwia wykasowanie wewnętrznej pamięci programu. Do pinu 63 (PLLRC) należy dołączyć filtr PLL składający się z dwóch rezystorów oraz kondensatora. Wartości tych elementów powinny być dostosowane do częstotliwości pracy układu oraz czasu potrzebnego do zsynchronizowania się pętli (start-up time). Producent na stronie internetowej udostępnia gotowy plik Excela (xls), który służy do obliczeń wartości tych elementów. Układ umieszczony jest w obudowie LQFP oraz QFN z 64 wyprowadzeniami.

Blok syntezy DDS. Schemat układu syntezy DDS przedstawia rysunek 2. Układ AD9854 to układ scalony syntezy DDS, generujący przebieg sinusoidalny oraz arbitralny. Przebieg aproksymujący sinusoidę występuje na wyjściu Iout1 oraz Iout1B (piny 48 i 49). Wyjścia te są komplementarne i oba wymagają rezystorów zamykających (R8, R11). Przebieg arbitralny

Rys. 1



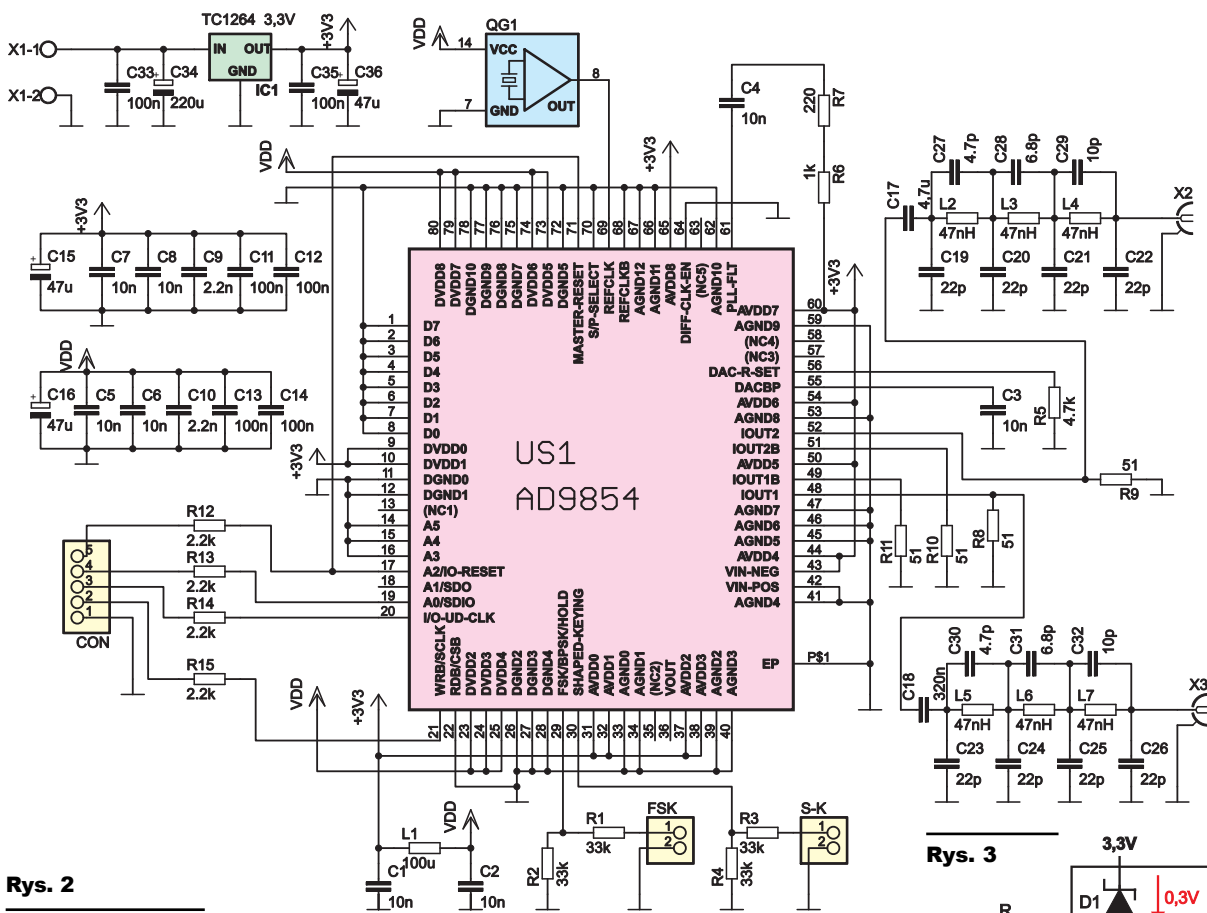
występuje na wyjściu Iout2 oraz Iout2B. Także przebiegi występujące na tych pinach są przesunięte o 180 stopni i wymagają rezystorów zamykających (R9, R10).

Do obu wyjść syntezy dołączone są filtry eliptyczne 7. rzędu, zbudowane na elementach L2-L7 oraz C17-C32. Źródłem sygnału zegarowego jest generator kwarcowy QG1 o częstotliwości 28,322MHz. Częstotliwość ta zostaje powielona w bloku pętli PLL układu US1. Stopień powielenia został zaprogramowany na 11 razy, zatem częstotliwość taktowania układu US1 wynosi 311,542MHz. Jest to więcej niż zalecana przez producenta częstotliwość taktowania. Skutkiem przetaktowania jest większe grzanie się układu (pobór prądu i moc strat są silnie zależne od częstotliwości taktowania oraz częstotliwości sygnału wyjściowego). Nie powoduje to nieprawidłowości w działaniu syntezy DDS, a umożliwiała generację przebiegów o większych częstotliwościach (w modelu ponad 120MHz). Warto zaznaczyć, że od jakości sygnału zegarowego (stabilność długo- i krótkoterminowa, szumy fazowe, jitter) zależy jakość sygnału wyjściowego syntezy.

Gniazda oznaczone jako FSK oraz S-K służą do modulacji binarnej sygnału generowanego poprzez syntezę DDS. Gniazdo FSK umożliwia modulację dwuwartościową FSK (z rampą lub bez) oraz modulację BPSK. Gniazdo S-K umożliwia realizację modulacji OOK z rampą. W obu przypadkach czas narastania rampy (czyli liniowej zmiany częstotliwości dla FSK lub amplitudy dla OOK) jest kontrolowany poprzez oprogramowanie. Oba wejścia przystosowane są do pracy z sygnałami TTL dzięki dzielnikom R1-R2 oraz R3-R4. Sygnały przekraczające dwukrotnie poziom napięcia zasilania (tj. 6,6V) nie spowodują uszkodzenia układu, ale powodują przewodzenie diod ochrony ESD układu US1, praca w takich warunkach nie jest zalecana. Nie powinno się zatem przekraczać napięcia 6Vpp na tych gniazdach. Sygnał ten oczywiście powinien być unipolarny.

Gniazdo CON łączy płytkę syntezy DDS z mikroprocesorowym układem sterowania. Początkowo układ sterowania oparty był o mikroprocesor AVR zasilany napięciem 5V,

Rys. 2



stąd obecność rezystorów R12-R15. Ich zadaniem była konwersja napięcia 5V na napięcie ok 3,6V. Ideę konwersji przedstawia rysunek 3. Tego typu sposób nie jest zalecany, ale często stosowany ze względu na prostotę wykonania.

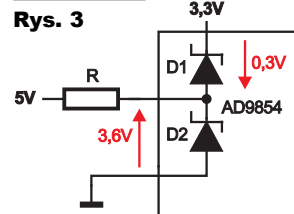
Układ programowany jest oczywiście w sposób szeregowy z wykorzystaniem sygnału zegara (WRB/SCLK, pin 21) oraz synchronicznymi danymi (A0/SDIO, pin 19). Piny danych interfejsu równoległego zostały dołączone do masy (piny od 1 do 8). Elementy R6, R7, C4 tworzą filtr wewnętrznej pętli PLL. Rezystor R5 wyznacza prąd referencyjny wewnętrznych przetworników DAC. Dalsze szczegóły można znaleźć w nocie katalogowej układu AD9854. Kondensator C3 poprawia współczynnik SFDR, można go nie montować, godząc się na większe zniekształcenia sygnału (gorszy SFDR).

Część cyfrowa układu zasilana jest z napięciem +3V3, ale odseparowana jest od części analogowej poprzez dławik 100µH L1. Dodatkowo duża liczba kondensatorów SMD o pojemnościach od 100nF do 2,2nF ma zapewnić skuteczną filtrację składowej zmiennej z szyn zasilania w szerokim zakresie częstotliwości. Jest to niezmiernie ważne w przypadku cyfrowych układów pracujących przy dużych częstotliwościach. Układ IC1 jest stabilizatorem napięcia LDO (o niskim spad-

ku napięcia). Napięcie wyjściowe tego stabilizatora to 3,3V, maksymalny prąd obciążenia to 800mA. Układ syntezy wymaga zasilania w granicach 4V-6V (maksymalne napięcie pracy IC1). Wydajność prądowa układu zasilania nie powinna być mniejsza od 1A, ze względu na znaczny pobór prądu przez pracującą syntezę DDS (ok. 800mA, zależnie od częstotliwości wyjściowej).

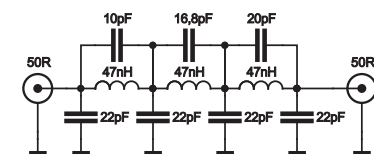
Filtr eliptyczny. Ma on za zadanie stłumić wyższe harmoniczne sygnału generowanego przez syntezę DDS. Schemat zastosowanego filtra eliptycznego przedstawia rysunek 4. Filtr ten jest filtrem dolnoprzepustowym siódmego rzędu, dopasowanym obustronnie do impedancji 50Ω. Charakterystyka amplitudowa tego filtra pokazana jest na rysunku 5.

Filtr został zaprojektowany i przeanalizowany w programie RFSim. Procedura projektowania zakla-

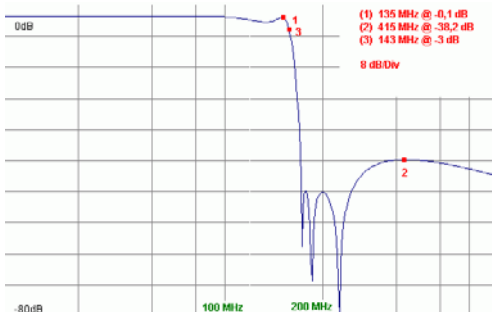


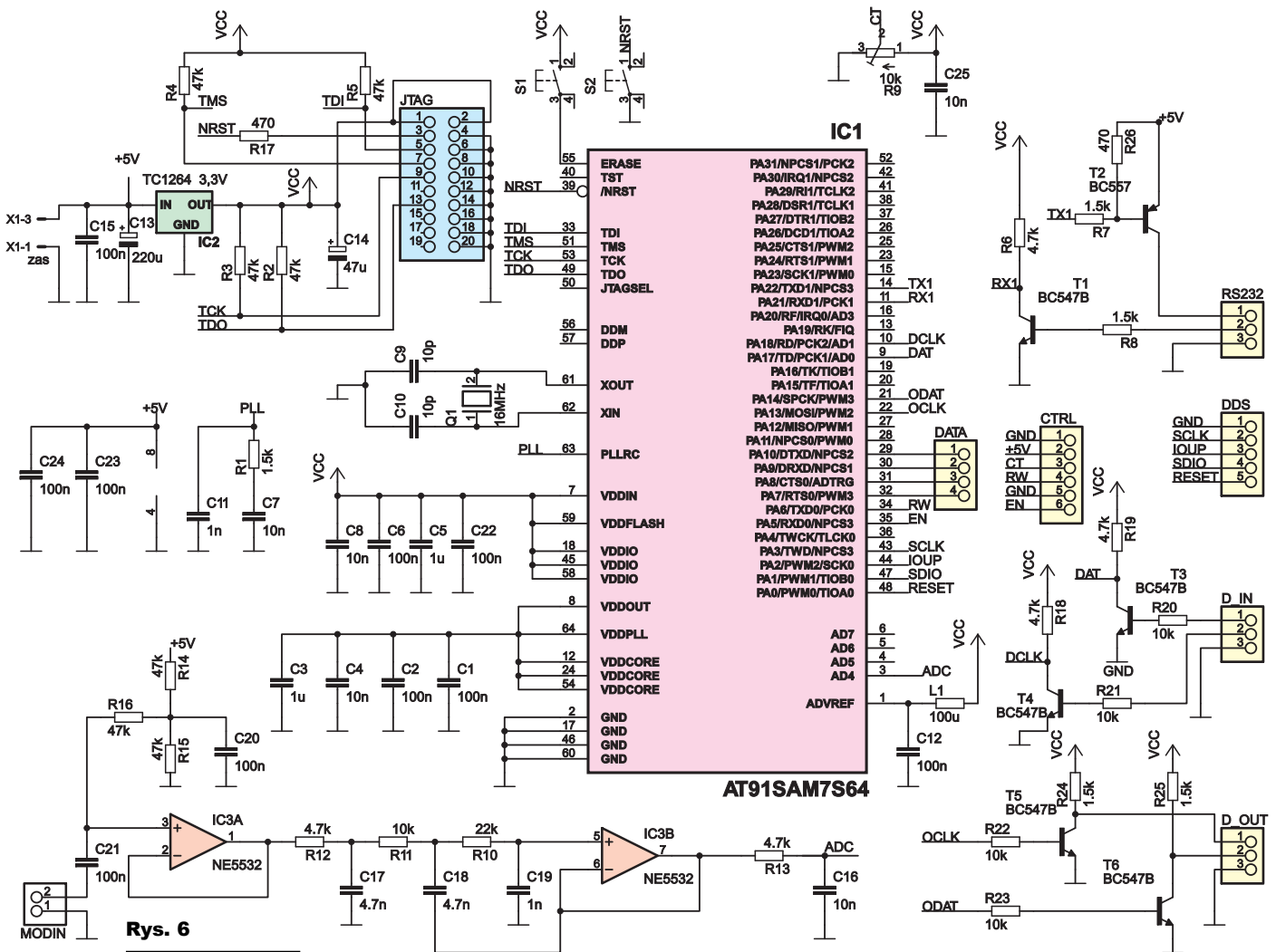
Rys. 3

Rys. 4



Rys. 5





Rys. 6

dała stałe wartości dławików i takie dobranie kondensatorów (lub ich równoległego połączenia), aby uzyskać optymalną charakterystykę. Dobór elementów filtru powinien umożliwić możliwie największą stromość charakterystyki przy zachowaniu małego zafalowania w paśmie przepustowym oraz dobrego tłumienia w paśmie zaporowym. Jako że sygnały lustrzane sygnału wyjściowego syntezy DDS powyżej częstotliwości próbkowania (311,542MHz) maleją wraz ze wzrostem częstotliwości, filtr powyżej tej częstotliwości ma tłumienie tylko 38dB (81 razy), co jest zupełnie wystarczające, aczkolwiek w precyzyjnych urządzeniach pomiarowych zawierających syntezę DDS należy tak dobrać filtr, aby tłumienie w zakresie wyższych częstotliwości było zdecydowanie lepsze. Największy poziom sygnałów lustrzanych występuje w zakresie częstotliwości Nyquista – częstotliwość próbkowania (155MHz – 311,542MHz) i w tym zakresie filtr powinien wykazywać największe tłumienie. W zakresie 163MHz–260MHz tłumienie filtru nie jest gorsze niż 48dB.

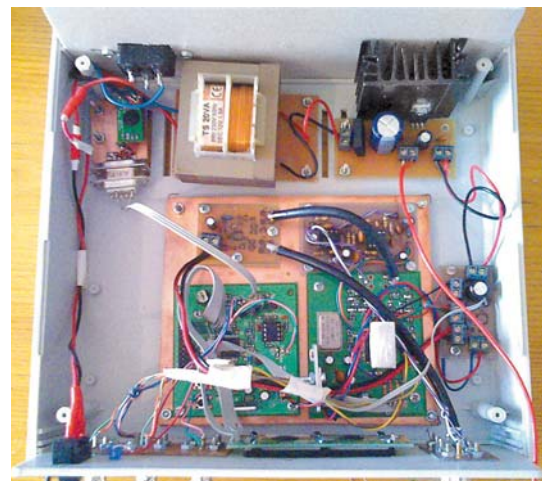
Blok układu sterowania. Układ sterowania został zrealizowany na mikroprocesorze z rdzeniem ARM7 TDMI. Sercem układu jest mikroprocesor AT91SAM7S64. Schemat układu przedstawiony jest na rysunku 6.

Układ taktowany jest częstotliwością 16MHz, która generowana jest poprzez wewnętrzny oscylator mikroprocesora z dołączonym zewnętrznym rezonatorem kwarcowym Q1. Następnie częstotliwość ta ulega powieleniu w układzie PLL do częstotliwości 56,177MHz.

Układ odbiera dane sterujące poprzez interfejs RS232 z komputera PC i odpowiednio konfiguruje syntezę DDS. Moduł mikroprocesorowy składa się z 5 podbloków, mianowicie: układu zasilania, układu filtru dolnoprzepustowego, bloku konwerterów poziomów, układu programowania JTAG oraz wyświetlacza alfanumerycznego LCD 2x16 znaków.

Blok zasilania składa się ze stabilizatora napięcia 3,3V (IC2) oraz kondensatorów włączonych pomiędzy szyny zasilania oraz masę. Warto zaznaczyć, że rdzeń procesora wymaga napięcia zasilania 1,8V. Napięcie to wytwarzane jest przez sam układ AT91SAM7S64 i jest dostępne na pinie 8 (VDDOUT). Pin ten połączony jest z pinami zasilającymi rdzeń mikroprocesora oraz układ wewnętrznej pętli PLL. Stąd dodatkowe kondensatory filtrujące to napięcie zasilania (C1–C4). Jak już wspomniano przy omawianiu syntezy DDS filtracja napięcia zasilającego w przypadku szybkich układów cyfrowych jest bardzo ważna, stąd zastosowanie elementów SMD oraz konden-

satorów o różnych wartościach pojemności umieszczonych blisko układu scalonego (począwszy od najmniejszych pojemności). Brak dobrej filtracji może objawiać się dziwnym zachowaniem mikroprocesora, trudnym do zdiagnozowania. Do układu zasilania dołączone są także elementy filtrujące napięcie odniesienia układu przetwornika analogowo-cyfrowego: L1, C12, także te elementy powinny być umieszczone możliwie jak najbliżej układu scalonego. Kolejnym blokiem jest filtr dolnoprzepustowy 4. rzędu z wielokrotnym sprzężeniem zwrotnym (MFB). Układ składa



się z jednego podwójnego wzmacniacza operacyjnego NE5532. Pierwszy wzmacniacz, IC3A, to wtórnik napięciowy, który separuje od reszty układu sygnał wejściowy podawany na wejście MODIN. Zapobiega także uszkodzeniu mikroprocesora w przypadku zbyt dużej amplitudy sygnału wejściowego. Elementy R14, R15, R16 wytwarzają napięcie sztucznej masy na poziomie 2,5V, C20 filtruje to napięcie. Po wtórniku napięciowym sygnał trafia na filtr dolnoprzepustowy zbudowany na wzmacniaczu IC3B oraz elementach R12–C17, R11–C18, R10–C19. Na wyjściu układu IC3B znajduje się jeszcze jeden stopień filtracji R13–C16. Następnie sygnał trafia na przetwornik ADC mikroprocesora.

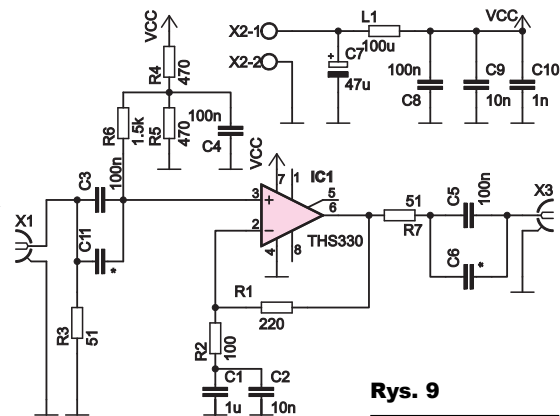
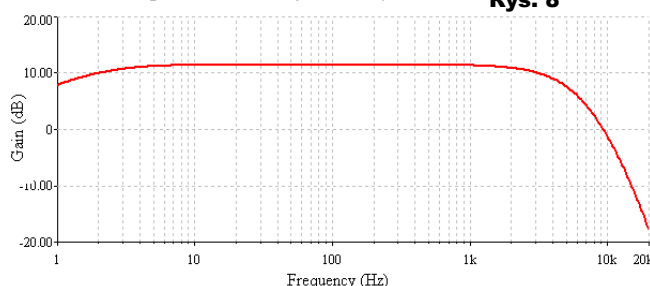
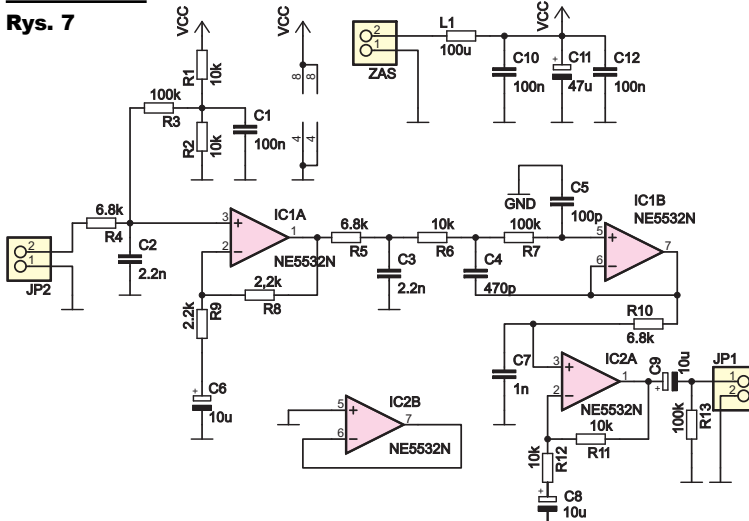
Konwertery poziomów mają za zadanie dopasowanie sygnałów o różnych napięciach do napięć akceptowalnych przez układ mikroprocesora. Jednym z takich bloków jest konwerter RS232 zbudowany na tranzystorach T1 oraz T2. Układ odznacza się dużą prostotą, zamiast tych tranzystorów można użyć dedykowanego konwertera RS232-TTL np. MAX232. Z układem jak na schemacie nie było żadnych problemów, pracuje poprawnie na szybkości 115200b/s. Tranzystory T5 oraz T6 zapewniają wyprowadzenie sygnałów wyjściowych do układów pomiarowych np. oscyloskopu, w celu synchronizacji danych modulujących oraz przebiegu zmodulowanego wytwarzanego przez syntezę DDS. Tranzystory T3, T4 służą do wprowadzania danych wejściowych (modulujących). Programowanie mikroprocesora odbywa się poprzez interfejs JTAG. Złącze oznaczone jako JTAG służy do podpięcia programatora (WIGGLER). Rezystory R2–R5 podciągają piny interfejsu JTAG do dodatknej szyny zasilania. Rezystor R17 nie został zamontowany (reset programowy stwarzał problemy podczas testowania układu), resetowanie układu odbywa się ręcznie za pomocą przycisku S2 lub poprzez włączenie i wyłączenie układu. Dodatkowo wewnętrzna pamięć FLASH można skasować za pomocą przycisku S1. Szczegóły dotyczące tej procedury zawarte są w nocie katalogowej układu AT91SAM7S64. Ostatnim elementem jest wyświetlacz LCD.

Wyświetlacz składa się z dwóch linii po 16 znaków. Zawiera włączone podświetlenie w celu zapewnienia wygodnego odczytu w różnych warunkach oświetleniowych. Potencjometr R9 służy do regulacji kontrastu wyświetlacza.

Blok filtru generatora arbitralnego. Schemat układu filtru generatora arbitralnego przedstawiony jest na rysunku 7. Układ jest filtrem aktywnym zbudowanym w oparciu o dwa wzmacniacze operacyjne typu NE5532. Składa się on z 3

bloków: wzmacniacz wejściowy, którego celem jest wzmocnienie sygnału oraz odseparowanie płytki syntezy DDS od układu filtrującego, układ filtru dolnoprzepustowego 5. rzędu oraz wzmacniacz wyjściowy zapewniający niską impedancję wyjściową. Wzmacniacz wejściowy został zbudowany na wzmacniaczu IC1A oraz elementach C6, R8, R9. Wzmocnienie tego stopnia wynosi +2. Układ rezystorów R1, R2, R3 wytwarza napięcie sztucznej masy na poziomie VCC/2. Kondensator C1 usuwa składową zmienną z tego napięcia. Napięcie to jest konieczne do poprawnej pracy wzmacniaczy operacyjnych zasilanych napięciem unipolarnym. Blok ten nie zawiera kondensatora filtrującego składową stałą na wejściu, gdyż taki kondensator znajduje się na bloku syntezy DDS (C17). Na blok filtru dolnoprzepustowego składają się elementy R5–C3, R6–C4, R7–C5, R10–C7 oraz w bloku wejściowym R4–C2. Jest to zatem filtr piątego rzędu. Układ IC1B pracuje w układzie filtru MFB (z wielokrotnym sprzężeniem zwrotnym). Po bloku filtracji sygnał trafia na wzmacniacz wyjściowy. Wzmacniacz wyjściowy ma za zadanie odseparowanie filtru dolnoprzepustowego od obciążenia dołączonego do układu. Wzmacniacz IC2A wraz z elementami R11, R12, C8 tworzy nieodwracający wzmacniacz o wzmocnieniu +2. Elementy C9, R13 odcinają składową stałą, pozostawiając tylko przebieg zmienny. Niewykorzystany wzmacniacz IC2B został połączony w konfiguracji minimalizującej samowzbudzenie. Charakterystyka całego modułu filtru przedstawiona jest na rysunku

Rys. 7



Rys. 9

8. Dolna częstotliwość graniczna wyznaczona jest przez pojemności C17 (na płytce syntezy DDS) oraz C6, C8 i C9 i wynosi ona ok. 2 Hz (-3dB). Górna częstotliwość graniczna (-3dB) wynosi 4,4kHz. Elementy L1, C10, C11, C12 służą do filtracji napięcia zasilającego. Napięcie zasilania może mieścić się w granicach 4V – 16V (maksymalne napięcie zastosowanych kondensatorów elektrolitycznych).

Stopień wyjściowy syntezy DDS. W celu odseparowania syntezy DDS od obciążenia, a przez to także w celu ochrony układu scalonego, zastosowano wyjściowy bufor szerokopasmowy. Schemat układu pokazany jest na rysunku 9. Układ opiera się o wzmacniacz operacyjny ze sprzężeniem prądowym – TSH330. Parametry tego wzmacniacza można znaleźć w Internecie.

Signal wyjściowy z syntezy DDS (gniazdo X3 na płytce syntezy DDS) trafia na wejście modułu bufora – gniazdo X1. Rezystor R3 dopasowuje linię transmisyjną zbudowaną z układu przetwornika DAC, układu AD9854 – filtr eliptyczny – przewód 50Ω RG58U – blok bufora. Jest on konieczny ze względu na duże częstotliwości transmitowanego sygnału, bez niego w linii pojawiają się odbicia, co powoduje zniekształcenia sygnału oraz generację zakłóceń. Kondensatory C3 oraz C11 (niezamontowany) odcinają składową stałą wytwarzaną przez obwód sztucznej masy. Obwód sztucznej masy składa się z rezystorów R4, R5 oraz R6. Kondensator C4 filtruje napięcie sztucznej masy i zapobiega przenikaniu zakłóceń z szyn zasilających na wejście nieodwracające wzmacniacza.

Wzmacniacz IC1 jest wzmacniaczem ze sprzężeniem prądowym. Dobór rezystorów ustalających wzmocnienie opierało się o dane katalogowe, gdyż tyl-

Rys. 8

ko przy poprawnym dobraniu rezystora R1 układ jest stabilny, a pasmo przenoszenia nie zależy od wzmocnienia. Wzmocnienie można regulować, zmieniając wartość rezystora R2. Wzmocnienie układu wynosi 6,2 raza. Obecność elementów C1 oraz C2 uniemożliwia wzmacniaczowi wzmacnianie napięcia niezrównoważenia oraz napięcia sztucznej masy. Dla składowej stałej wzmacniacz ma wzmocnienie równe jeden. C1 został dodatkowo zbocznikowany kondensatorem C2 o znacznie mniejszej pojemności w celu równomiernego rozkładu wzmocnienia w funkcji częstotliwości. Moduł impedancji C2 jest znacznie mniejszy przy wyższych częstotliwościach niż dużego kondensatora C1. W podobnym celu zostawiono miejsce na płycie na elementy C6 i C11, jednak współpracujące z nimi kondensatory 100nF dobrze pracują w szerokim zakresie częstotliwości. Po testach modułu konieczne okazało się dodanie obwodu R8, C12, który kompensuje spadek amplitudy syntezy DDS w zakresie najwyższych generowanych częstotliwości. Elementy te nie są uwzględnione na płycie PCB i należy je przylutować od strony druku. Filtracja zasilania została zrealizowana na elementach C7, L1, C8, C9, C10. Różne wartości pojemności służą zapewnieniu minimalnej impedancji całego bloku kondensatorów w możliwie najszerszym zakresie częstotliwości. Rezystor R7 zapewnia dopasowanie do linii zasilającej obciążenie 50Ω (kanał wejściowy oscyloskopu lub analizatora widma z wejściem 50Ω).

Blok zasilacza. Składa się on z dwóch płytek, jednej odpowiedzialnej za wyprostowanie napięcia z transformatora, jego wygładzenie oraz stabilizowanie na poziomie 5V oraz drugiej – odpowiedzialnej za rozdzielanie napięcia na poszczególne moduły oraz jego dokładną filtrację. Dodatkowo na płycie zamocowano gniazdo do podłączenia wentylatora. Schemat pierwszego obwodu można zobaczyć na **rysunku 10**. Mostek B1 przystosowany jest do pracy z prądami do 2A. Kondensatory C1 i C2 filtrują napięcie zasilające stabilizator. Napięcie 5V dostępne jest na wyjściu – gniazdo X-2. Stabilizator jest typu 7805 o maksymalnym prądzie 1A. Uzwojenie wtórne transformatora podłączone jest z płytką za pomocą gniazda X-1. Zastosowano transformator o napięciu 12V oraz mocy 12VA. Drugi element układu zasilania stanowi płytka filtrów oraz rozdzielania napięcia na poszczególne bloki syntezy. Schemat układu można zobaczyć na **rysunku 11**. Największy prąd pobiera układ syntezy. Tor zasilania syntezy składa się z dławika L1 oraz kondensatorów C2, C3, C6. Dławik L1 separuje syntezę DDS od pozostałych bloków,

składowa zmienna generowana przez pracującą syntezę nie powinna się przedostawać do torów zasilania innych bloków, szczególnie wzmacniaczy wyjściowych. Przed dławikiem znajdują się elementy filtrujące napięcie zasilania do modułów mikroprocesora oraz wzmacniaczy wyjściowych. Procesor został podpięty bezpośrednio pod dodatnią szynę zasilania. Wzmacniacz wyjściowy TSH330 oraz wzmacniacz – filtr generatora arbitralnego zostały wpięte poprzez 100μH dławiki. Kondensator elektrolityczny C4 to kondensator typu LOW ESR. Dławik L1 ma indukcyjność 250μH i może pracować z prądami do 1A, rezystancja jego uzwojeń jest pomijalna. Rezystor R1 ogranicza prąd niebieskiej diody LED, która jest sygnalizatorem występowania napięcia zasilającego.

Oprogramowanie

Oprogramowanie urządzenia składa się z dwóch programów, jeden instalowany jest na komputerze klasy PC (oprogramowanie użytkownika), drugi jest zawarty w pamięci programu mikroprocesora sterującego syntezą DDS. Oprogramowanie na PC zapewnia pełną kontrolę nad urządzeniem. Oprogramowanie użytkownika zostało napisane w pakiecie Borland Delphi 6.0. Program składa się z kilku zakładek służących do sterowania układem. Do podstawowych opcji należą:

1. Generator sinusoidalny przestrajany.
2. Wobulator.
3. Modulator (cyfrowy, analogowy).
4. Bezpośredni dostęp do rejestrów syntezy.
5. Generator arbitralny.

Generator. Zakładka ta pozwala regulować częstotliwość, amplitudę oraz fazę sygnału sinusoidalnego generowanego przez syntezę. Ze względu na znaczny zakres przestrajania wprowadzono sekcję przycisków służącą do łatwego zadawania częstotliwości. Można także włączyć oraz wyłączyć automatyczne wysyłanie nowych danych do syntezy DDS (opcja *auto update*). Poniżej sekcji przycisków znajduje się regulacja fazy. Dodatkowe cztery przyciski pozwalają na szybką zmianę fazy. Ręczny zakres wynosi od 0° do 359° z krokiem 1°. Obok

znajduje się przycisk włączający panel generatora arbitralnego oraz przycisk zamknięcia programu. Na samym dole umieszczono suwak regulacji amplitudy. Zakres regulacji wynosi 0–4095 dec wartości próbki z krokiem 5 dec.

Wobulator. Zakładka „SWEEP” pozwala na liniowe przemiatanie częstotliwości w pełnym zakresie pracy syntezy z dowolnym krokiem i z dowolnym czasem na krok. Tego typu opcja bywa przydatna w badaniu pasma przenoszenia filtrów itp.

Modulator. Zakładka „Modulator” służy do wyboru jednej z wielu modulacji zaaplikowanych w układzie. Modulacje te zostały podzielone na 3 kategorie:

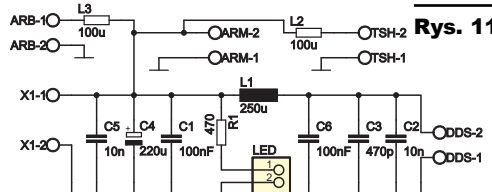
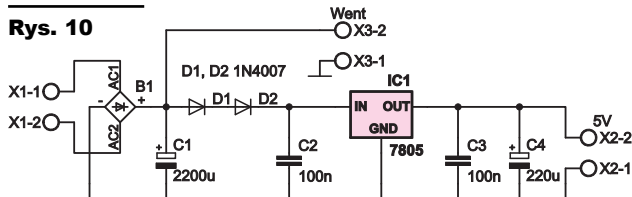
1. Programowe – w których parametry fali nośnej oraz sygnały modulujące są generowane przez oprogramowanie użytkownika (jak np. dane do wysłania) lub program mikroprocesora (analogowe sygnały modulujące).
 2. Analogowe – sprzętowe, modulacje analogowe, których sygnał modulujący podawany jest na wejście analogowe urządzenia (X3).
 3. Cyfrowe – sprzętowe, modulacje impulsowe (z kluczowaniem), których dane wejściowe podawane są na jedno z gniazd X1 lub X2.
- Ze względu na dużą złożoność obliczeń modulacje programowe (szczególnie analogowe) nie mają szerokiego pasma. Zdecydowanie najszybsze są modulacje cyfrowe sprzętowe.

Tryb rejestrów. Umożliwia bezpośredni dostęp do rejestrów syntezy. Program użytkownika emuluje wygląd rejestrów syntezy i umożliwia ich ręczną konfigurację. Nie wszystkie rejestry są dostępne, nie jest to konieczne do konfiguracji syntezy. W razie pomyłki lub dziwnego zachowania się syntezy, spowodowanego błędną konfiguracją, dwa przyciski na panelu umożliwiają zresetowanie syntezy i jej ponowną domyślną inicjalizację.

Generator arbitralny. Jest to podprogram służący do generacji dowolnej funkcji napięcia opisanej matematyczną funkcją jednej zmiennej (drugą zmienną jest czas). W skład panelu generatora arbitralnego wchodzi przyciski z nazwami funkcji matematycznych, wartości liczbowe oraz możliwość dodania szumu.

Równanie można także wpisać ręcznie w okienku nad panelem z przyciskami. Dodatkowo możliwe jest powiększenie fragmentu przebiegu, obcięcie go do pełnego okresu (manualne oraz automatyczne)

Rys. 10



tak, aby zachować ciągłość fazy, oraz zmiana ustawień długości rekordu danych. Wysłanie danych do syntezy trwa ok. 2 sekund, po czym na gnieździe ARB występuje zadany przebieg.

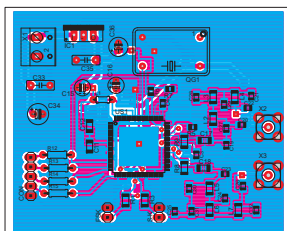
Konfiguracja programu. Program przed pierwszym uruchomieniem wymaga skonfigurowania. Najważniejsze jest skonfigurowanie portu COM, który zostanie użyty do transmisji danych. Port ten tworzony jest wirtualnie na komputerze użytkownika poprzez przejściówkę USB-RS232, więc mimo że wykorzystuje się od strony systemu procedury obsługi portu COM, to urządzenie połączone jest z komputerem poprzez złącze USB. Możliwa jest konfiguracja ręczna – poprzez wpisanie portu COM oraz konfiguracja automatyczna – program wyszukuje aktywne porty COM. Jeśli nie ma innych urządzeń korzystających z portów szeregowych, to wyświetlony port jest portem urządzenia. Dodatkowo istnieje możliwość wyłączenia powielacza częstotliwości taktowania (PLL). Umożliwia to zaobserwowanie przebiegu generowanego przez syntezę z obejściem filtra, którego częstotliwość odcięcia jest znacznie większa niż częstotliwość uzyskiwanych sygnałów. Częstotliwość taktowania wynosi wtedy 28,322MHz, a częstotliwość filtra 143MHz (-3dB). Ogranicza to maksymalną częstotliwość wyjściową przebiegu do 14MHz.

W modelu wykorzystano przejściówkę USB-RS232, która od strony systemu operacyjnego widziana jest jako wirtualny port COM. Przejściówki takie kosztują kilkanaście złotych i można je łatwo kupić np. na Allegro. Przejściówka jest opcjonalna, układ może wykorzystywać interfejs RS232, z pominięciem przejściówki.

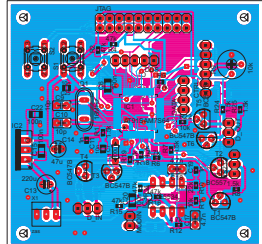
Montaż i uruchomienie

Blok syntezy DDS został zmontowany na płytce pokazanej na rysunku 12. Płytkę została wykonana w programie Eagle. Ze względu na dużą liczbę połączeń oraz elementów SMD płytka zawiera dwie warstwy. Takie rozwiązanie jest także korzystniejsze ze względu na możliwość umieszczenia kondensatorów filtrujących zasilanie możliwie blisko układu AD9854. Niweluje się przez to indukcyjności doprowadzeń, co ma oczywiście wpływ na efektywność filtracji napięcia zasilającego układ. Sam układ syntezy DDS występuje w obudowie TQFP80. Został on przylutowany z wykorzystaniem pasty lutowniczej oraz lutownicy kolbowej.

Rys. 12 Skala 50%



Rys. 13 Skala 50%



Większość elementów zastosowanych do budowy układu to elementy do montażu powierzchniowego. Użycie tej technologii produkcji elementów było podyktowane dużą częstotliwością pracy układu. Zastosowanie elementów przewlekanych w tego typu układach nie jest zalecane ze względu na parametry szcawkowe, głównie indukcyjności doprowadzeń kondensatorów oraz rezystorów. W miejsce kondensatorów elektrolitycznych można zastosować kondensatory tantalowe, ewentualnie kondensatory elektrolityczne o niskiej rezystancji ekwiwalentnej ESR. Nie jest to bezwzględnie konieczne ze względu na to, iż typowe kondensatory elektrolityczne pracują poprawnie do kilkudziesięciu kHz (w zależności od producenta oraz pojemności). Powyżej tej częstotliwości filtrację przejmują kondensatory stałe.

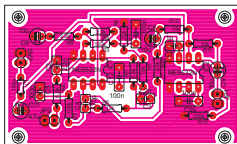
Podczas pracy w zakresie najwyższych częstotliwości (100MHz–120MHz) układ AD9854 grzeje się dość mocno. W celu poprawienia chłodzenia tego elementu zastosowano dodatkowy mały radiator aluminiowy doklejący do obudowy. Radiator został także zamontowany na stabilizatorze napięcia LDO. Moc strat wydzielana na tym elemencie w najgorszym przypadku wynosi ok. 1,5W.

Gniazda FSK oraz S-K zostały umieszczone na przednim panelu urządzenia. Wykorzystano wygodne i trwałe gniazda typu BNC, które umożliwiają podpięcie generatora sygnałowego i innych urządzeń. Gniazda X2 oraz X3 na płytce syntezy DDS zostały zaprojektowane jako gniazda SMA, ale ze względu na wysoki koszt tych gniazd oraz konieczność stosowania przewodów połączeniowych z wtykami SMA przerynowano z ich montażu i połączenia wykonano przewodem koncentrycznym oraz skrętką. Gniazdo X3 zostało połączone przewodem koncentrycznym BNC 50Ω z płytką wzmacniacza-bufora wyjściowego syntezy DDS. Gniazdo X2 (wyjście przebiegu generatora arbitralnego) zostało połączone parą skręconych przewodów z płytką filtra i wzmacniacza wyjściowego. Gniazdo X1 służy do podłączenia napięcia zasilania. Jest to typowe gniazdo śrubowe ARK. Całą płytkę została przykręcona do większej płytki laminatu miedzianego w celu zapewnienia stabilnej konstrukcji mechanicznej.

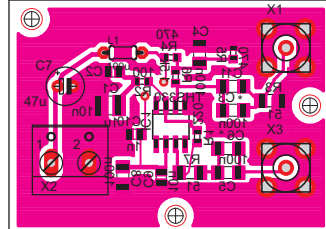
Moduł z mikroprocesorem zmontowany został na płytce pokazanej na rysunku 13. Gniazdo opisane jako DDS służy do połączenia sygnałów sterujących z płytką syntezy DDS. Połączenie to wykonano przewodem taśmowym.

Podobnie połączono wyświetlacz LCD (złącza CTRL oraz DATA). Sterowanie odbywa się w trybie 4-bitowym, dlatego

Rys. 14 Skala 50%

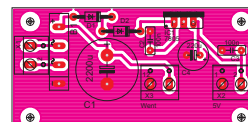


goldpin 1x10. Pozostałe gniazda zostały wyprowadzone na panel czolowy urządzenia, wejście sygnału modulującego MODIN jako gniazdo BNC, służące do podłączenia źródła



Rys. 15 Skala 100%

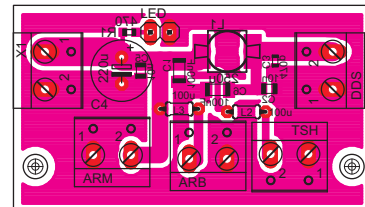
sygnału modulującego; wejście i wyjście danych cyfrowych (D_IN, D_OUT) jako złącza śrubowe ARK 3.



Rys. 16 Skala 50%

Cała płytka została przykręcona do większej płytki laminatu miedzianego w celu zapewnienia stabilnej konstrukcji mechanicznej.

Rys. 17 Skala 100%



Układ zmontowano na płytce pokazanej na rysunku 14. Wszystkie zastosowane elementy to elementy do montażu przewlekane (w układzie nie występują częstotliwości wyższe niż 30kHz). Ze względu na prosty układ oraz niewielką liczbę połączeń płytka została wykonana jako jednowarstwowa, metodą termotransferu z warstwą opisową po stronie elementów. Po lutowaniu strona lutowania została pokryta warstwą lakieru izolującego w celu minimalizacji utleniania się miedzi. Gniazdo JP2 to gniazdo wejściowe filtra, zostało ono połączone z gniazdem wyjściowym X2 płytki syntezy DDS za pomocą skrętki. Gniazdo JP1 to gniazdo wyjściowe. Na jego wyjściu występuje odfiltrowany przebieg podany na wejście JP2. Gniazdo to zostało wyprowadzone na panel czolowy jako gniazdo BNC. Połączenie między płytką a tym gniazdem wykonano za pomocą skrętki. Gniazdo ZAS służy do podłączenia napięcia zasilania.

Filtr generatora arbitralnego. Układ zmontowano na płytce pokazanej na rysunku 14. Wszystkie zastosowane elementy to elementy do montażu przewlekane (w układzie nie występują częstotliwości wyższe niż 30kHz). Ze względu na prosty układ oraz niewielką liczbę połączeń płytka została wykonana jako jednowarstwowa, metodą termotransferu z warstwą opisową po stronie elementów. Po lutowaniu strona lutowania została pokryta warstwą lakieru izolującego w celu minimalizacji utleniania się miedzi. Gniazdo JP2 to gniazdo wejściowe filtra, zostało ono połączone z gniazdem wyjściowym X2 płytki syntezy DDS za pomocą skrętki. Gniazdo JP1 to gniazdo wyjściowe. Na jego wyjściu występuje odfiltrowany przebieg podany na wejście JP2. Gniazdo to zostało wyprowadzone na panel czolowy jako gniazdo BNC. Połączenie między płytką a tym gniazdem wykonano za pomocą skrętki. Gniazdo ZAS służy do podłączenia napięcia zasilania.

Bufor TSH330. Układ zmontowano na płytce pokazanej na rysunku 15. Płytkę modelowa została wykonana metodą termotransferu. Kondensatory filtrujące zasilanie zostały umieszczone możliwie najbliżej układu scalonego IC1 (efektywność filtracji napięcia zasilania).

Ciąg dalszy na stronie 23

Ciąg dalszy ze strony 20

Wszystkie elementy poza gniazdem śrubowym ARK2, kondensatorem elektrolitycznym C7 oraz dławikiem L1 to elementy SMD, co jest oczywiście zrozumiałe ze względu na zakres częstotliwości, w jakich pracuje ten układ. Blok bufora został połączony z płytką syntezy przewodem koncentrycznym 50Ω RG58U. Połączenie z gniazdem BNC X3 także wykonano tym samym przewodem. Każdą linię transmisyjną pomiędzy buforem a obciążeniem (rezystor 50Ω kanału wejściowego oscyloskopu lub analizatora widma) powinno się wykonywać stosownym przewodem o impedancji 50Ω. Układ zasilany jest napięciem 5V, podawanym na złącze X2, pobór prądu wynosi ok. 20mA. Płytkę została przykręcona trzema śrubami M3 do większej płytki laminatu miedzianego.

Układy zasilania. Oba układy zostały zamontowane na płytkach pokazanych na rysunkach 16 i 17. Jedynie dioda LED została wyprowadzona na przedni panel za pomocą dwużyłowego przewodu. Ścieżki zasilające są odpowiednio grube, aby zapewnić możliwie niski spadek napięcia na ich rezystancji oraz zminimalizować przenikanie tętnień z sąsiednich modułów. Duża liczba kondensatorów stałych oraz elektrolitycznych ma zapewnić napięcie zasilania pozbawione jakiegokolwiek składowej zmiennej, która mogłaby

pogorszyć parametry układu. Poszczególne bloki podpięte są w następujący sposób:

Gniazdo DDS – blok syntezy DDS.

Gniazdo ARM – blok sterownika mikroprocesorowego.

Gniazdo TSH – blok wzmacniacza wyjściowego dla syntezy DDS.

Gniazdo ARB – blok filtru i wzmacniacza generatora arbitralnego.

Na początku montażu warto zmontować tylko układ sterowania oraz blok syntezy DDS. Umożliwi to od razu sprawdzenie poprawności działania obu płytek. Następnie można zmontować zasilacz, stopień wyjściowy z układem TSH330 oraz filtr generatora arbitralnego. Do uruchomienia układu niezbędny będzie oscyloskop oraz generator funkcyjny. Testowanie należy przeprowadzić od sprawdzenia poprawności pracy samego generatora, poprzez modulacje cyfrowe, z wyko-

Wykaz elementów		IC1, IC2	NE5532	IC1	AT91SAM7S64	złącze ARK2			
Moduł DDS		US1	AD9854	L1	dławik 100μH	TSH330			
R1-R4	33kΩ 1206	L1	100μH	JP1,JP2,ZAS	goldpin	R1	220Ω 0603		
R5	4,7kΩ 0805	L2	47nH	Moduł procesora					
R6	1kΩ 0805	QG1	gen. 28,322MHz	R1,R7,R8,R24,R25	Q1	rezonator 16MHz	R2	100Ω 0603	
R7	220Ω 0805	S-K,CON,FSK	goldpin	R2-R5,R14-R16	47kΩ 0603	L1	dławik 100μH	R3,R7	51Ω 1206
R8-R11	51Ω 1206	X1	złącze ARK	R6,R12,R13,R18,R19	4,7kΩ 0603	S1,S2	mikroswitch	R4,R5	470Ω 0603
R12-R15	2,2kΩ	X2,X3	nie montować	R9,R20-R23	10kΩ 0603	Rs232,MODIN,D_IN,D_OUT,CTRL,DDS,		C2,C9	10nF 0805
C1-C8	10nF 0805	Filtr ARB		R10	22kΩ 0603	DATA,JTAG	goldpin	C3-C5,C8	100nF 1206
C9,C10	2,2nF 0603	R1,R2,R6,R11,R12	10kΩ	R26	470Ω 0603	X1	złącze ARK2	C6,C11	nie montować
C11-C14	100nF 1206	R3,R7,R13	100kΩ	C1,C2,C6,C12	100nF 1206	X2	złącze ARK2	C7	47μF
C15,C16,C36	47μF/16V	R4,R5	6,8kΩ	C15,C20-C24	100nF 1206	X1,X3	opis w tekście	X2	złącze ARK2
C17	4,7μF 1206	R8,R9	2,2kΩ	C3,C5	1μF 1210	Zasilacz			
C18	220nF+100nF 1206	R10	6,8kΩ	C4,C7,C8,C25	10nF 0805	C1,C6	100nF 1206	C1	2200μF/25V
C19-C26	22pF 0805	C1,C10,C12	100nF	C9,C10	10pF	C2,C5	10nF 0805	C2,C3	100nF
C27,C30	4,7pF 0805	C2,C3	2,2nF	C11,C19	1nF 0603	C3	470pF 0603	C4	220μF
C28,C31	6,8pF 0805	C4	470pF	C13	220μF/16	C4	220μF	D1,D2	1N4007
C29,C32	10pF 0805	C5	100pF	C14	47μF/16	L1	250μH	IC1	7805
C33,C35	100nF	C6,C8,C9	10μF	C17,C18	4,7nF	L2,L3	100μH	X1-X3	złącza ARK2
C34	220μF/16V	C7	1nF			LED	dioda LED niebieska		
IC1	TC1264 3.3V	C11	47μF			TSH,X1,ARM,ARB,DDS			

Płytką drukowaną jest dostępna w sieci handlowej AVT jako kit szkolny AVT-2941.

rzystaniem przebiegu prostokątnego TTL podawanego na wejścia FSK, S-K, kończąc na modulacjach analogowych (przebieg sinusoidalny, muzyka itp.) – złącze MODIN. Test zmontowanego urządzenia przeprowadza się poprzez sprawdzenie obecności zadanych sygnałów na wyjściach urządzenia. Do synchronizacji oscyloskopu z urządzeniem można wykorzystać złącze oznaczone jako D_OUT, pozwoli ono zaobserwować skomplikowane sygnały np. 16-QAM. Oscyloskop powinien wtedy pracować w trybie single-trigger z wyzwalaniem ze złącza D_OUT.

Rafał Stępień
rafals1@poczta.fm